

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-44714

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月14日

H 01 L 21/20
21/324

7739-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-194433

⑰ 出 願 昭63(1988)8月5日

⑱ 発 明 者 望 月 康 弘 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 井 上 洋 典 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 単結晶基板上へのエピタキシャル層の形成において、

(イ) 単結晶基板の表面層にイオン打込みしてアモルファス層を形成する工程

(ロ) 該基板上にアモルファスシリコン膜を堆積する工程

(ハ) 上記基板をアニールすることによりアモルファス層及びアモルファス膜を単結晶化する工程

から成ることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、シリコン半導体集積回路用基板の製造方法に係り、特に制御性、量産性に優れたエピタキシャル層を低温で形成する方法に関する。

[従来の技術]

従来、シリコン薄膜の固相エピタキシャル成長技術は、ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス、第15巻、1431ページ～1436ページ(1982年)(Japan.J.Appl. Phys.15.1431(1982))において論じられている様に、シリコン単結晶基板上に気相成長法によりアモルファスシリコン膜を堆積し、その後通常の炉で600℃以下でアニールすることにより基板の結晶格子に配向してアモルファスシリコン膜をエピタキシャル成長させている。

また、従来、シリコン膜のヘテロエピタキシャル成長技術として、特開昭62-263627号に記載のように、絶縁膜上にシリコン単結晶膜を堆積し、その一部をアモルファス化した後アニールして再結晶化させている。

[発明が解決しようとする課題]

上記従来技術のホモエピタキシャル成長においては、0.1～0.3μmの比較的薄い膜のエピタキシャル成長であり、LSIプロセスで実用的な

1 μm 程度の膜厚については触れられていない。
また大面積における均一性、再現性、欠陥防止についても言及されていない。

一方、従来技術のヘテロエピタキシャル層の固相エピタキシャル再結晶においては、本質的にヘテロエピタキシャル層を種結晶とするため、再結晶層の結晶性の向上に限界がある。

本案の目的は、1 μm 程度の膜厚でも優れた結晶性の固相エピタキシャル層を形成する方法を提供するにある。

また本案の他の目的は、欠陥密度が低く、均一性、再現性の良い固相エピタキシャル成長法を提供するにある。

〔課題を解決するための手段〕

上記目的は、次の3つの工程を施すことにより達成される。

1) シリコン単結晶基板にイオン打込みし、表面層をアモルファス化させる工程。この時、結晶欠陥密度(単結晶からアモルファス化への程度)は表面が最も大きく、結晶内部にいくに従って

減少する。

2) 上記基板上にアモルファスシリコン膜を堆積させる。ここで堆積させる膜の厚みは必要とするエピタキシャル層の厚みである。

3) アニールすることにより固相エピタキシャル成長させ、基板表面のアモルファス層及び堆積させたアモルファス膜を単結晶化させる。

〔作用〕

シリコン単結晶基板にイオン打込みすることにより欠陥が発生する。その結晶欠陥密度(損傷量: 打込みイオンとシリコン結晶の原子核衝突により変位したシリコン原子の密度で、 $5 \times 10^{22} \text{cm}^{-3}$ に達すると完全なアモルファス層になる。)は打込みイオンの飛程の単位長さ当りの損失エネルギーの大きさに比例するが、ドーズ量が大きくなると、その飛程よりやや浅い所まで完全なアモルファス層となり、それより深い所では損傷量は単調に減少する。

この様な損傷量分布をもつ基板の表面を清浄にして、その上にアモルファス膜を堆積させると、

基板表面と堆積膜はほぼ連続した相となるため、アニールすると界面での結晶性の不連続に起因する転位や積層欠陥、突起等の発生を防止した固相エピタキシャル成長が可能となる。

〔実施例〕

以下、本発明の実施例を図面を用いて詳細に説明する。

実施例1

第1図(a)シリコン単結晶基板10を示す。結晶の品位は、製法CZ、面方位(100)オフアングル4°、導電型n型、抵抗率 $0.01 \Omega \text{cm}$ 、ドーパント及び濃度アンチモン $3.3 \times 10^{18} \text{atoms/cm}^3$ 、表面仕上げ超ミラー仕上げ、直径4"φ、厚み500 μm である。尚、面方位にオフアングルを用いたのは、イオン打込み時のチャネリングを防止するためである。

第1図(b)は上記シリコン単結晶基板10の主表面にイオン打込みした状態を示す。イオン打込み前の基板10の洗浄は、フッ酸でエッチングして酸化膜を除去し、イオン打込みによる酸素の

ノックオンを防いだ。イオン打込みは基板ホルダ冷却して室温以下に保ち、 Ge^+ イオンを100 KeV、 $5 \times 10^{14} \text{cm}^{-2}$ 導入した。これにより飛程600Å、最大濃度 $1 \times 10^{20} \text{atoms/cm}^3$ が得られ、また表面から約800Åの深さまでアモルファス層11が形成された。

第1図(c)は上記基板上にアモルファスシリコン膜12を堆積した状態を示す。堆積前の基板の前洗浄は、有機溶剤による脱脂洗浄後、硝酸中で煮沸して表面にシリコン酸化膜を形成し、そのシリコン酸化膜をフッ酸で除去して清浄表面を露出した後、雰囲気中の汚染の吸着を避けるため過酸化水素水とアンモニア水混合液及び過酸化水素水と塩酸混合液で洗浄し故意に室温では安定であるが加熱等により除去し易いシリコン酸化膜を形成した。アモルファスシリコン膜の堆積は、モノシラン SiH_4 を原料としたマイクロ波プラズマCVD法による。まず、真空容器(到達圧力 $1 \times 10^{-7} \text{Torr}$)内に基板を設置する。水素及びアルゴン混合ガスを流入して圧力 $3 \sim 5 \times 10^{-4} \text{Torr}$

とし、2.45GHz、600Wのマイクロ波及び最大2000Gaussの磁場を印加して水素・アルゴンプラズマを発生させる。これにより基板表面のシリコン酸化膜をスパッタエッチングする。続いて、真空容器内にモノシランを流入して、上記と同様の条件で基板にアモルファスシリコン膜を堆積させる。反応時間3分で厚さ1.5 μ mの膜が堆積した。この時、基板温度はマイクロ波及びプラズマの照射により約160℃まで上昇した。

第1図(d)はアニーリングにより固相エピタキシャル成長させ、アモルファス層及び膜を単結晶13にした状態を示す。アニーリングは700℃、30分のウェット酸素雰囲気中と、800℃、12分の乾燥酸素雰囲気中の二段階より成る。

この様にして作成したエピタキシャル層は、膜厚1.5 μ m、ウエハ内の均一性 $\pm 5\%$ 、容量-電圧法で求めた不純物濃度は $1 \times 10^{13} \text{cm}^{-3}$ 、抵抗率100 $\Omega\text{-cm}$ 、抵抗率のウエハ内均一性 $\pm 12\%$ 以下、積層欠陥密度はウエハ内5個以下で

態を示す。酸化膜22のパターンはアイソレーション領域に相当する場所であり、幅1.0 μ mである。イオン打込み条件は、アンチモンSb⁺を加速電圧150KeV、ドーズ量 $1 \times 10^{14} \text{cm}^{-2}$ 、基板温度30℃以下とした。これにより、シリコン基板20の表面層のシリコン酸化膜マスク22のない部分はアモルファス層23になる。

第2図(d)は上記基板のシリコン酸化膜22をエッチング除去した後、CVD法でアモルファスシリコン膜24を堆積した状態を示す。アモルファスシリコン膜24の堆積条件は、実施例1と同様であり、ただし、ホスフィンPH₃をドーパントとして用いn型とし、膜厚は0.8 μ mである。

第2図(e)はアニーリングにより固相エピタキシャル成長させた状態を示す。アニールの条件は実施例1と同様である。この時、イオン打込みした部分の表面上に堆積したアモルファスシリコン膜は導電型n型、抵抗率10 $\Omega\text{-cm}$ の単結晶膜25になるが、イオン打込み時にマスクされた部

ある。

実施例2

第2図、第3図は本発明の方法をバイポーラLSIに適用した例を示す。

第2図(a)シリコン単結晶基板20を示す。結晶の品位は、製法CZ、面方位(100)4°オフアングル、導電型p型、ドーパントボロン、抵抗率1~2 $\Omega\text{-cm}$ 、表面仕上げ超ミラー仕上げ、直径4"φ、厚み500 μ mである。

第2図(b)は埋込みコレクタ拡散層21を形成した状態を示す。シリコン酸化膜をマスクとしてアンチモンを選択拡散させた。アンチモンの拡散は、三酸化アンチモンSb₂O₃をソースとして、窒素雰囲気中1175℃、15分のデポジション後、酸素雰囲気中1000℃、50分のドライブイン拡散させたものであり、拡散深さ1.1 μ m、シート抵抗45~50 Ω/\square 、表面の酸化膜22の厚さは650Å及び4000Åである。

第2図(c)は酸化膜22をホトリソグラフィによりパターンニングした後、イオン打込みした状

分の表面上に堆積したアモルファスシリコン膜は完全な単結晶にはならず、多結晶膜26となる。

第3図(f)はアイソレーション及びベース拡散した状態を示す。拡散は、幅1.0 μ mのアイソレーション用開口部及び7 μ mのベース用開口部を有するホトレジストをマスクとしてボロンB⁺をイオン打込みし、ドライブイン拡散させたものである。アイソレーション領域は多結晶シリコンであるためボロンの拡散速度は単結晶シリコン中に比べて数倍大きい。このためボロンの拡散条件はベース層28を形成するための条件とすることにより、同時にアイソレーション層27が形成できる。この様にアイソレーション層27とベース層28用のホトリソグラフィ及び拡散を同時に実施でき工程短縮できる。更にアイソレーション拡散層の横方向拡がりを小さくでき高集積化に大きく寄与できる。

第3図(g)はエミッタ層29を形成し、更にアルミニウムコンタクト30a、30b、30cを形成した状態を示す。

〔発明の効果〕

本発明によれば、欠陥の少なく均一性のよい高品質のシリコンエピタキシャル層を低温で形成できる。また更に、半導体集積回路製造プロセスにおける工程短縮、高精度化にも寄与できる。

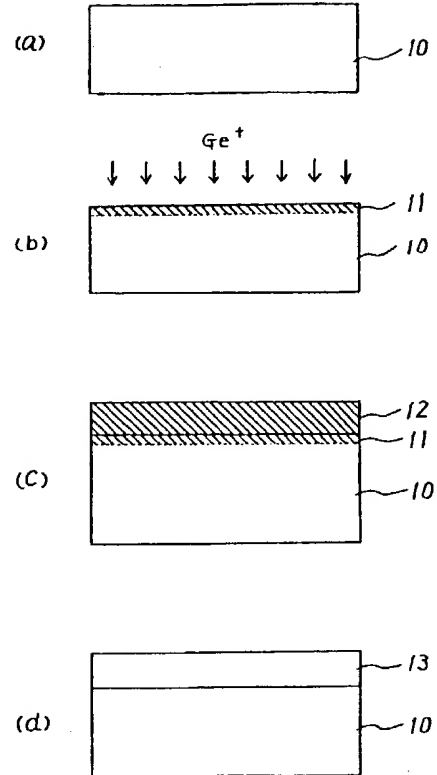
4. 図面の簡単な説明

第1図、第2図、第3図は本発明の実施例を示す工程毎の断面模式図である。

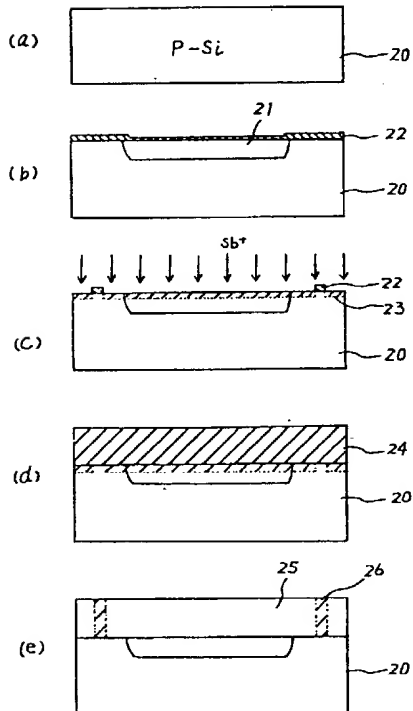
10、20…シリコン単結晶基板、11、23…アモルファス層、12、24…アモルファス膜、13、25…単結晶膜。

代理人 弁理士 小川勝男

第1図



第2図



第3図

